

(51)IntCl.<sup>5</sup>

H 0 3 F 3/68

識別記号

庁内整理番号

B 7328-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平3-333173

(22)出願日 平成3年(1991)12月17日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 森 猛

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 八木 行広

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

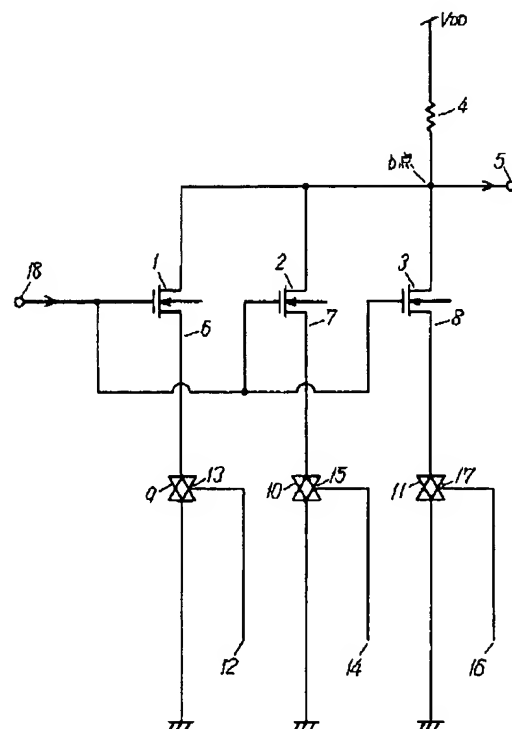
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 半導体回路

(57)【要約】

【目的】 入力信号がアナログ入力でも、デジタル入力でも出力側からみたトランジスタの能力を変えることができる半導体回路を提供する。

【構成】 トランジスタ1, 2, 3のドレイン側は5V電源( $V_{DD}$ )及び出力端子5に接続され、ソース側6, 7, 8はそれぞれトランスファークラップ9, 10, 11の一方の端子に接続され、トランスファークラップ9, 10, 11の他方の端子は接地接続されている。また、それぞれのトランスファークラップ9, 10, 11は制御信号12, 14, 16で制御できる。そして、入力端子18はトランジスタ1, 2, 3のゲート側に接続されている。上記構成では、入力信号を論理回路を介さずに直接トランジスタのゲートに入力しているので、アナログ入力でもそれに応じた出力が得られ、かつ出力端子側からみたトランジスタの能力を変えることができる。



#### 【特許請求の範囲】

【請求項1】複数のトランジスタのドレインが直接またはスイッチ素子を介して、出力端子及び電源に接続され、前記複数のトランジスタのソースを直接またはスイッチ素子を介して接地接続され、前記複数のトランジスタのゲートが入力端子に接続され、前記出力端子及び前記電源との前記接続または前記接地接続の2つの接続のうち少なくとも一方を制御する手段をそれぞれの前記トランジスタについて個別に備えた半導体回路。

【請求項2】複数のトランジスタのドレインが直接またはスイッチ素子を介して負荷抵抗の一方の端子及び出力端子に接続され、前記負荷抵抗の他方の端子が電源端子と接続され、前記複数のトランジスタのソースが直接またはスイッチ素子を介して接地端子に接続され、前記トランジスタの前記ドレインまたは前記ソースの少なくとも一方に、前記スイッチ素子は接続されていて、前記複数のトランジスタのゲートが入力端子に接続され、前記複数のトランジスタと、前記負抵抗と、前記出力端子と、前記入力端子と、前記電源端子と、前記接地端子と、前記スイッチ素子からそれぞれが成る、2個のブロック部のそれぞれの前記電源端子が、直接または同一の定電流源を介して電源に接続され、それぞれの前記電源端子が直接または同一の定電流源を介して接地接続され、前記電源端子及び前記接地端子のどちらか一方が、前記定電流源に接続され、前記2個のブロック部がそれぞれ出力端子側からみたトランジスタ能力を他のブロック部と同じになるように、前記スイッチ素子によって制御する手段を備えている半導体回路。

【請求項3】入力端子からの入力に応じて高電位端子または低電位端子のどちらかの電位を出力端子から出力する手段を備え、前記高電位端子と前記低電位端子はそれぞれ別の電源と接続され、前記2つの電源の少なくとも一方は2種類以上の電圧を供給する手段を備えている半導体回路。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明はソースまたはドレイン側に設けた制御手段によって制御されるトランジスタを含む半導体回路に関するものである。

##### 【0002】

【従来の技術】従来より半導体回路のトランジスタ能力を回路的に変える方法として種々の方法が考えられている。

【0003】以下従来のトランジスタ能力を回路的に変える半導体回路について一例を説明する。

【0004】図4は、従来の半導体回路の一例である。NチャンネルMOS型電界効果型トランジスタ19、20、21は、エンハンスメントタイプを用いている。Nチャンネルトランジスタ19、20、21の各ドレイン側22、23、24は5V電源（ $V_{DD}$ ）及び出力端子2

5のいずれにもそれぞれ接続されている。また、5V電源（ $V_{DD}$ ）と接続点（C点）の間に負荷抵抗26を介している。そして、ソース側27、28、29は、それぞれ接地接続されている。入力端子30からの入力信号は制御信号31、32、33と、アンド回路34、35、36で加算され、アンド回路34の出力信号37、アンド回路35の出力信号38、アンド回路36の出力信号39はそれぞれ、Nチャンネルトランジスタ19、20、21のゲート側40、41、42に接続されている。

【0005】以上のように構成された、半導体回路について以下にその動作を説明する。まず制御信号31、32、33のそれぞれが、ハイレベル（H）のとき、入力信号30の変化はそのままアンド回路34、35、36の出力信号37、38、39に現れNチャンネルトランジスタ19、20、21のゲート側40、41、42にそれぞれ入力される。従って、入力信号30の変化によってNチャンネルトランジスタ19、20、21が駆動される。この時、出力端子25に対する電流をIとすると、IはNチャンネルトランジスタ19に流れる電流 $I_1$ と、Nチャンネルトランジスタ20に流れる電流 $I_2$ と、Nチャンネルトランジスタ21に流れる電流 $I_3$ を加えたものであり、 $I = I_1 + I_2 + I_3$ になる。

【0006】これに対して、制御信号31のみをハイレベル（H）にし、残りの制御信号32、33をローレベル（L）にした時には、入力端子30からの入力信号の変化はそのままアンド回路34の出力信号37のみに現れ、Nチャンネルトランジスタ19のゲート側40のみに入力される。従って、入力信号30の変化によって、トランジスタ19のみが駆動される。この場合出力端子25に対する電流Iは、Nチャンネルトランジスタ19に流れる電流 $I_1$ と等しくなることから、 $I = I_1$ となる。

【0007】これを出力端子25側からみた場合、制御信号31のみが（H）の時に比べて制御信号31、32、33が（H）の時はトランジスタ能力が大きくなる。

【0008】以上の事から制御信号を制御することによって、トランジスタの能力を変えることができる。

##### 【0009】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、入力信号と制御信号を加算回路で加算しているため、入力信号がアナログ入力の場合、アナログ信号のままでは、入力信号の変化がそのまま出力されなかった。つまりアナログ入力の場合は、上記回路ではトランジスタ能力を変えられないことになる。

【0010】本発明は上記課題を解決するもので入力信号がアナログ入力でもアナログ出力が得られ、かつトランジスタの能力を変えることができる半導体回路を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】第1の発明の半導体回路は、上記目的を達成するために複数のトランジスタのドレインが直接またはスイッチ素子を介して、出力端子及び電源に接続され、前記複数のトランジスタのソースが直接またはスイッチ素子を介して接地接続され、前記複数のトランジスタのゲートが入力端子に接続され、前記出力端子及び前記電源との前記接続または前記接地接続の2つの接続のうち少なくとも一方を制御する手段をそれぞれの前記トランジスタについて個別に備えたものである。

【0012】第2の発明の半導体回路は、複数のトランジスタのドレインが直接またはスイッチ素子を介して負荷抵抗の一方の端子及び出力端子に接続され、前記負荷抵抗の他方の端子が電源端子と接続され、前記複数のトランジスタのソースが直接またはスイッチ素子を介して接地端子に接続され、前記トランジスタの前記ドレインまたは前記ソースの少なくとも一方に、前記スイッチ素子は接続されていて、前記複数のトランジスタのゲートが入力端子に接続され、前記複数のトランジスタと、前記負抵抗と、前記出力端子と、前記入力端子と、前記電源端子と、前記接地端子と、前記スイッチ素子からそれぞれが成る、2個のブロック部のそれぞれの前記電源端子が、直接または同一の定電流源を介して電源に接続され、それぞれの前記電源端子が直接または同一の定電流源を介して接地接続され、前記電源端子及び前記接地端子のどちらか一方が、前記定電流源に接続され、前記2個のブロック部がそれぞれ出力端子側からみたトランジスタ能力を他のブロック部と同じになるように、前記スイッチ素子によって制御する手段を備えているものである。

【0013】また第3の発明の半導体回路は、入力端子からの入力に応じて高電位端子または低電位端子のどちらかの電位を出力端子から出力する手段を備え、前記高電位端子と前記低電位端子はそれぞれ別の電源と接続され、前記2つの電源の少なくとも一方は2種類以上の電圧を供給する手段を備えているものである。

#### 【0014】

【作用】第1の発明は上記した構成により入力信号を論理回路に入力せずにトランジスタのゲート側から入力し、ソース側またはドレイン側で、接地接続または電源との接続の少なくとも一方を制御しているので、アナログ入力でもそれに応じた出力が得られる。

【0015】第2の発明は、上記した構成により、各ブロック部の出力端子側からみたトランジスタ能力を他のブロック部と同じになるように制御することができるので、制御信号を変化させるだけで各ブロック部の出力端子側からみたトランジスタ能力を変えることができる。

【0016】また第3の発明は上記した構成により、半導体内部において、異なる電圧を高電位端子及び低電位

端子の少なくとも一方に供給する手段を備えているので、半導体内部で出力信号の振幅を変えることができるものである。

#### 【0017】

【実施例】以下、本発明の実施例について図面を参照しながら説明する。

【0018】図1は第1の発明の一実施例における半導体回路の回路図を示すものである。NチャンネルMOS型電界効果型トランジスタ1, 2, 3は、エンハンスメントタイプを用いている。Nチャンネルトランジスタ1, 2, 3のドレイン側を従来の構成と同様に、5V電源( $V_{DD}$ )及び出力端子5のいずれにもそれぞれ接続している。また5V電源( $V_{DD}$ )と接続点(b点)の間に負荷抵抗4を介している。そしてソース側6, 7, 8はそれぞれ、スイッチ素子としてのトランスファークゲート9, 10, 11の一方の端子に接続され、トランスファークゲート9, 10, 11の他方の端子はそれぞれ接地接続されている。制御信号12はトランスファークゲート9の制御ゲート13に、制御信号14はトランスファークゲート10の制御ゲート15に、制御信号16はトランスファークゲート11の制御ゲート17にそれぞれ接続される。入力端子18はNチャンネルトランジスタ1, 2, 3のそれぞれのゲートに接続されている。

【0019】以上のように構成された、本実施例の半導体回路について以下にその動作を説明する。

【0020】まず制御信号12, 14, 16のそれぞれが(H)のときトランスファークゲート9, 10, 11が接続状態になり、Nチャンネルトランジスタ1, 2, 3のソース側6, 7, 8がそれぞれ接地接続され、入力端子18からの入力信号の変化によってNチャンネルトランジスタ1, 2, 3が駆動される。

【0021】これに対して制御信号12のみを(H)にし、他の制御信号14, 16を(L)にした時には、Nチャンネルトランジスタ1のソース側6のみが接地接続され、入力端子18からの入力信号の変化によってNチャンネルトランジスタ1のみが駆動される。これを出力端子5側から見た場合、制御信号12のみを(H)にした時に比べて、制御信号12, 14, 16を(H)にした時の方がトランジスタ能力が大きくなる。

【0022】以上のように第1の発明の実施例によれば、入力信号を論理回路を介さずに直接トランジスタのゲートに入力し、各トランジスタのソースとの接地接続をトランスファークゲートで制御しているので、入力がアナログ信号の場合には、出力もアナログ信号とすることができ、出力側からみたトランジスタ能力を変えることができる。

【0023】なお、スイッチ素子としてトランスファークゲートを用いたが、その他のスイッチ素子でも問題はない。また、そのスイッチ素子をトランスファークゲートのソース側のみに接続したが、ドレイン側のみ、または、

ドレイン側とソース側の両方に接続してもよい。

【0024】トランジスタとしては、NチャンネルMOS型電界効果型エンハンスメントタイプトランジスタを用いたが、それに限定されるものではなく、また3個のNチャンネルトランジスタを接続したが、2個以上なら何個でもよい。

【0025】そして、本実施例ではドレイン側に電源を接続したが、電源の働きをするものであればよく、電源とドレインとの間に、他の回路などが接続されていても何ら問題はない。ソース側の接地接続も同様に接地とソースの間に、他の回路などが接続されていても何ら問題はない。

【0026】図2は第2の発明の一実施例における半導体回路の回路図を示すものである。NチャンネルMOS型電界効果型トランジスタ57、58、59、60は、エンハンスメントタイプを用いていて、Nチャンネルトランジスタ57とNチャンネルトランジスタ59、Nチャンネルトランジスタ58とNチャンネルトランジスタ60はそれぞれ同じサイズである。また、トランスファークゲート65、66、67、68はCMOSトランスファークゲート（アナログスイッチ）である。

【0027】図2に示すように、電源（ $V_{DD}$ ）と定電流源87の間に、第1のブロック部100と第2のブロック部200が並列になるように接続されている。まず、第1のブロック部100の構成について説明する。Nチャンネルトランジスタ57、58のドレイン側83、84は負荷抵抗63の一方の端子及び、出力端子77に接続されている。また負荷抵抗63の他方の端子（電源端子88）は電源（ $V_{DD}$ ）に接続されている。そしてNチャンネルトランジスタ57、58のソース側79、80は、それぞれスイッチ素子としてのトランスファークゲート65、66の一方の端子に接続され、トランスファークゲート65、66の他方の端子は接地端子90に接続されている。制御信号73はトランスファークゲート65の制御ゲート69に、制御信号74はトランスファークゲート66の制御ゲート70に、それぞれ接続される。入力端子61はNチャンネルトランジスタ57、58のそれぞれのゲートに接続されている。

【0028】次に、第2のブロック部200の構成について説明する。第1のブロック部と同様に、Nチャンネルトランジスタ59、60のドレイン側85、86は負荷抵抗の一方の端子及び、出力端子78に接続されている。また負荷抵抗の他方の端子（電源端子89）は電源（ $V_{DD}$ ）に接続されている。そしてNチャンネルトランジスタ59、60のソース側81、82は、それぞれスイッチ素子としてのトランスファークゲート67、68の一方の端子に接続され、トランスファークゲート67、68の他方の端子は接地端子91に接続されている。制御信号75はトランスファークゲート67の制御ゲート71に、制御信号76はトランスファークゲート68の制御ゲ

ート72に、それぞれ接続される。入力端子62はNチャンネルトランジスタ59、60のそれぞれのゲートに接続されている。

【0029】接地端子90及び接地端子91は定電流源87の一方の端子に接続され、定電流源87の他方の端子は接地接続されている。

【0030】以上のように構成された、本実施例の半導体回路について以下にその動作を説明する。

【0031】まず第1のブロック部100において、制御信号73、74のそれぞれが（H）のときトランスファークゲート65、66が接続状態になり、Nチャンネルトランジスタ57、58のソース側79、80がそれぞれ、定電流源87を介して接地接続され、入力端子77からの入力信号の変化によってNチャンネルトランジスタ57、58が駆動され、それに応じた出力信号が出力端子77から得られる。

【0032】これに対して制御信号73のみを（H）にし、他の制御信号74を（L）にした時には、Nチャンネルトランジスタ57のソース側79のみが接地接続され、入力端子77からの入力信号の変化によってNチャンネルトランジスタ57のみが駆動され、それに応じた出力信号の出力端子77から得られる。これを出力端子77側からみた場合、制御信号73のみを（H）にした時に比べて、制御信号73、74を（H）にした時の方がトランジスタ能力が大きくなる。ただし、トランジスタ能力が変化しても、入力端子からの入力端子からの入力信号が同じなら、出力端子からの出力は同じになる。

【0033】第2のブロック部200についても、第1のブロック部と同様の動作をし、出力端子78からみた場合、制御信号75のみを（H）にした時に比べて、制御信号75、76を（H）にした時の方がトランジスタ能力が大きくなる。

【0034】ただし、第1のブロック部と第2のブロック部において、出力端子からみたそれぞれのトランジスタ能力を同じにすることができなければならない。例えば、Nチャンネルトランジスタ57、59のサイズを $W=5\mu\text{m}$ 、 $L=5\mu\text{m}$ 、Nチャンネルトランジスタ58、60のサイズを $W=10\mu\text{m}$ 、 $L=5\mu\text{m}$ とする。そして、Nチャンネルトランジスタ57が駆動する時は、Nチャンネルトランジスタ59が駆動するように、また、Nチャンネルトランジスタ58が駆動する時は、Nチャンネルトランジスタ60が駆動するように制御すれば第1ブロック部と第2ブロック部のトランジスタ能力を同じにすることができる。

【0035】このように第2の発明の実施例によれば、それぞれのブロック部において、トランスファークゲートの制御信号を変化させるだけで、各ブロック部が同じトランジスタ能力になるように出力端子から見たトランジスタ能力を変えることができる。そこで本実施例を差動増幅回路として用いる場合、トランスファークゲートの制

御信号を変えるだけで、その時の必要最低のトランジスタ能力に変えることができる。

【0036】なお、第2の発明の実施例ではスイッチ素子としてCMOSトランスファークゲートを用いた。これは、CMOSトランスファークゲートはスイッチ素子としていずれの電流方向に対しても電位差が発生しないため、直線性の良い差動増幅回路が実現されるからである。しかし、その他のスイッチ素子を用いても何ら問題はない。また、そのスイッチ素子をトランスファークゲートのソース側のみに接続したが、ドレイン側のみ、または、ドレイン側とソース側の両方に接続してもよい。

【0037】トランジスタとしては、NチャンネルMOS型電界効果型エンハンスメントタイプトランジスタを用いたが、それに限定されるものではなく、また1個のブロック部に2個のNチャンネルトランジスタを接続したが、2個以上なら何個でもよい。

【0038】そして、本実施例で用いた電源は、電源の働きをするものであればよく、定電流源についても、定電流源の働きをするものであればよい。また、定電流源を接地端子と接地との間に介しているが、電源端子と電源の間に介しても何ら問題はない。

【0039】以下、第3の発明の実施例について図3を参照にしながら説明する。図3に示すように、入力端子からの入力に応じて高電位端子または低電位端子のどちらかの電位を出力端子から出力する手段として、PチャンネルMOS型電界効果型トランジスタ43とNチャンネルMOS型電界効果型トランジスタ44がCMOSインバータを構成しており、Pチャンネルトランジスタ43のソース側45は5V電源( $V_{DD}$ )に接続され、Nチャンネルトランジスタ44のソース側46は、トランスファークゲート47、48のそれぞれの方の端子に接続され、他方の端子はそれぞれ0V電源49、2V電源50に接続されている。制御信号51はトランスファークゲート47の制御ゲート55に、制御信号52はトランスファークゲート48の制御ゲート56に接続されている。

【0040】以上のように構成された、本実施例の半導体回路について以下にその動作を説明する。

【0041】まず入力端子54からの入力信号が(L)のとき、Pチャンネルトランジスタ43が駆動され、Nチャンネルトランジスタ44が駆動されず、出力端子53からの出力信号は5V電源( $V_{DD}$ )と等しく(H)となる。

【0042】そして入力端子54からの入力信号が(H)トランスファークゲート47の制御信号51が(H)、トランスファークゲート48の制御信号52が(L)の時Pチャンネルトランジスタ43は駆動されず、Nチャンネルトランジスタ44が駆動され、トランスファークゲート47がオン、トランスファークゲート48がオフとなり出力端子53からの出力信号は0V電源49と等しく0Vとなる。

【0043】次に、入力端子54からの入力信号が(H)のまま、制御信号51を(L)、制御信号52を(H)のに変わると出力端子からの出力信号は2V電源50と等しく2Vとなる。

【0044】このように第3の発明の実施例によれば、Nチャンネルトランジスタのソース側46から異なる電圧を供給しているので、出力端子53からの出力信号の振幅を変えることができる。そこで本実施例の回路を発振回路のインバータとして用い5V及び2Vの電源の間で動作させれば、5V及び0Vの電源で動作させる場合に比べて振幅が小さくなり、不要輻射を減少させることができる。また、本実施例の回路は、(H)と(L)の差が5Vである論理ブロックと、(H)と(L)の差が、3Vである別の論理ブロックとをつなぐためのインターフェースとしても用いることができる。

【0045】なお、第3の発明の実施例では、Nチャンネルトランジスタのソース側のみに、2種類の電圧を供給する手段を備えていたが、Pチャンネルトランジスタのソース側のみ、または、Nチャンネルトランジスタのソース側とPチャンネルトランジスタのソース側の両方に2種類の電圧を供給する手段を備えていてもよい。

【0046】また、本実施例では、CMOSインバータを用いたが、入力端子からの入力に応じて、高電位端子または低電位端子のどちらかの電位を出力する手段を備えたものであれば何らさしつかえはない。

【0047】そして、2種類の電圧をトランスファークゲートを用いて供給したが、2種類の電圧を供給できる手段であればよく、電圧の種類も2種類以上であれば、何種類でもよい。

【0048】

【発明の効果】以上の実施例から明かなように第1の発明によれば、入力信号を論理回路に入力せずにトランジスタに入力するのでアナログ入力でもトランジスタ能力を変えることができる優れた半導体回路を提供できる。

【0049】第2の発明によれば、各ブロック部の出力端子側からみたトランジスタ能力を制御信号を変化させるだけで、他のブロック部と同じになるように変えることができるので、制御信号の変化だけで必要なトランジスタ能力に変えることができる。

【0050】また、第3の発明によれば、異なる電圧を半導体内部で供給する手段を備え、出力信号の振幅を変えることができるような半導体回路を提供できる。

【図面の簡単な説明】

【図1】第1の発明の一実施例における半導体回路の構成図

【図2】第2の発明の一実施例における半導体回路の構成図

【図3】第3の発明の一実施例における半導体回路の構成図

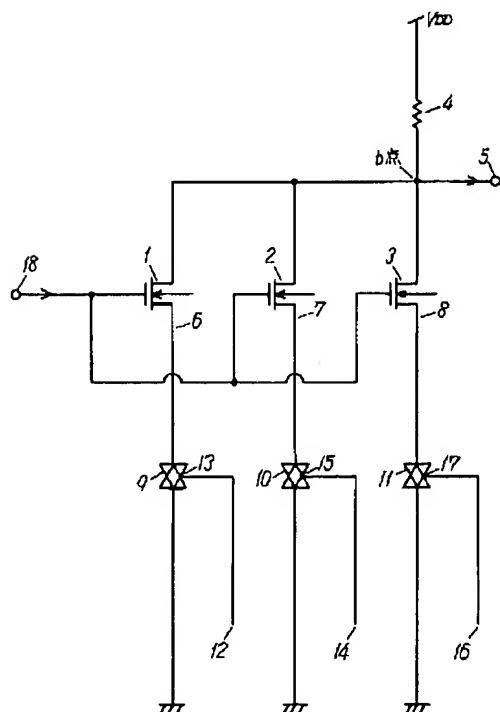
【図4】従来の半導体回路の構成図

【符号の説明】

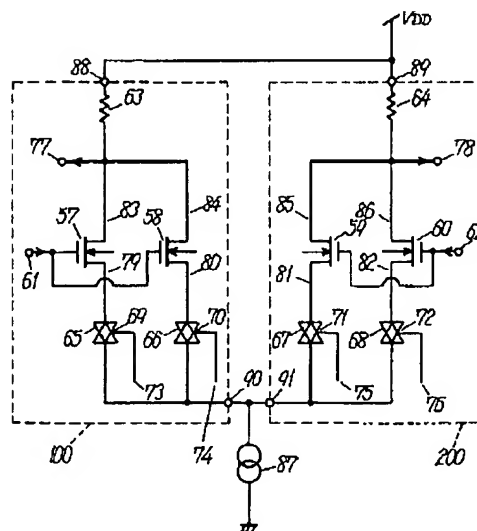
1, 2, 3 Nチャンネルトランジスタ  
4 負荷抵抗  
5 出力端子  
6, 7, 8 ソース側  
9, 10, 11 トランスファークロウ  
12 制御信号  
13 制御ゲート  
14 制御信号  
15 制御ゲート  
16 制御信号  
17 制御ゲート  
18 入力端子  
19, 20, 21 Nチャンネルトランジスタ  
22, 23, 24 ドレイン側  
25 出力端子  
26 負荷抵抗  
27, 28, 29 ソース側  
30 入力端子  
31, 32, 33 制御信号  
34, 35, 36 アンド回路  
37, 38, 39 アンド回路の出力信号  
40, 41, 42 ゲート側

43 Pチャンネルトランジスタ  
44 Nチャンネルトランジスタ  
45, 46 ソース側  
47, 48 トランスファークロウ  
49 0V電源  
50 2V電源  
51, 52 制御信号  
53 出力端子  
54 入力端子  
55, 56 制御ゲート  
57, 58, 59, 60 Nチャンネルトランジスタ  
61, 62 入力端子  
63, 64 負荷抵抗  
65, 66, 67, 68 トランスファークロウ  
69, 70, 71, 72 制御ゲート  
73, 74, 75, 76 制御信号  
77, 78 出力端子  
79, 80, 81, 82 ソース側  
83, 84, 85, 86 ドレイン側  
87 定電流源  
88, 89 電源端子  
90, 91 接地端子

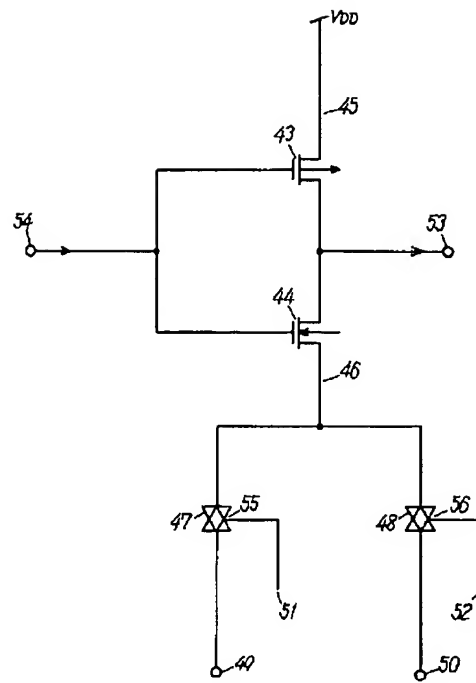
【図1】



【図2】



【图3】



【图4】

